

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

5 14

PUBLICATION NUMBER : 02237053
PUBLICATION DATE : 19-09-90

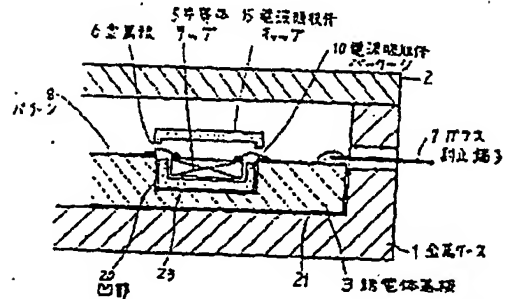
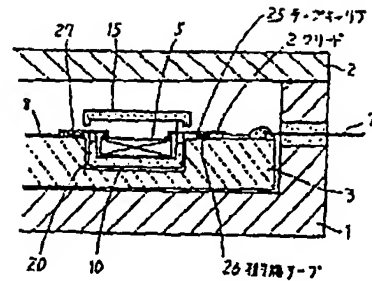
APPLICATION DATE : 09-03-89
APPLICATION NUMBER : 01056918

APPLICANT : FUJITSU LTD;

INVENTOR : TANIGUCHI MASAHIRO;

INT.CL. : H01L 23/06 H01L 21/60 H01L 21/60
H05K 9/00

TITLE : PACKAGING OF SEMICONDUCTOR CHIP



ABSTRACT : PURPOSE: To prevent electromagnetic interference between semiconductor chips, a crosstalk in a signal, oscillation phenomenon and the radiation of electromagnetic waves to the outside of a semiconductor device and to contrive the facilitation of a bonding work by a method wherein a recessed part is provided in a dielectric substrate and the chips packaged desirably by a wave absorber are packaged in such a way that they are buried in this recessed part.

CONSTITUTION: Semiconductor chips 5 are inserted in a hole for chip use of a tape carrier 25, leads 27 are bonded on electrodes to correspond to the leads 27 to mount the chips 5 on the carrier 25 and after the chips 5 are mounted on a wave absorber package 10, the package 10 is fitted in a recessed part 20 of a dielectric substrate 3 and the package 10 is fixed in the recessed part 20 with a bonding agent 23. Moreover, the end part of each lead 27 of the carrier 25 is superposed on the terminal of each pattern 8, which corresponds to each lead 27, on the surface of the substrate 3 and each lead 27 and each pattern 8 are connected to each other. Then, a wave absorber cap 15 is fitted into the upper parts of 4 spacing pillars of the package 10 and is fixed with a bonding agent or the like to cap the cap 15. Thereby, a bonding work is facilitated, each semiconductor chip 5 is electromagnetically shielded and electromagnetic interference is prevented.

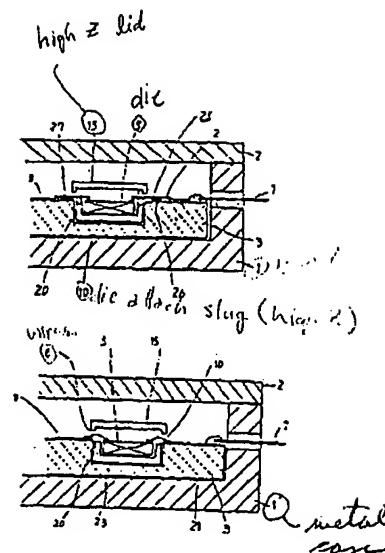
COPYRIGHT: (C) JPO

(54) PACKAGING OF SEMICONDUCTOR CHIP

(11) 2-237053 (A) (43) 19.9.1990 (19) JP
 (21) Appl. No. 64-56918 (22) 9.3.1989
 (71) FUJITSU LTD (72) MASAHITO TANIGUCHI
 (51) Int. Cl.³ H01L23/06, H01L21/60, H05K9/00

PURPOSE: To prevent electromagnetic interference between semiconductor chips, a crosstalk in a signal, oscillation phenomenon and the radiation of electromagnetic waves to the outside of a semiconductor device and to contrive the facilitation of a bonding work by a method wherein a recessed part is provided in a dielectric substrate and the chips packaged desirably by a wave absorber are packaged in such a way that they are buried in this recessed part.

CONSTITUTION: Semiconductor chips 5 are inserted in a hole for chip use of a tape carrier 25. leads 27 are bonded on electrodes to correspond to the leads 27 to mount the chips 5 on the carrier 25 and after the chips 5 are mounted on a wave absorber package 10, the package 10 is fitted in a recessed part 20 of a dielectric substrate 3 and the package 10 is fixed in the recessed part 20 with a bonding agent 23. Moreover, the end part of each lead 27 of the carrier 25 is superposed on the terminal of each pattern 8, which corresponds to each lead 27, on the surface of the substrate 3 and each lead 27 and each pattern 8 are connected to each other. Then, a wave absorber cap 15 is fitted into the upper parts of 4 spacing pillars of the package 10 and is fixed with a bonding agent or the like to cap the cap 15. Thereby, a bonding work is facilitated, each semiconductor chip 5 is electromagnetically shielded and electromagnetic interference is prevented.



26: resin tape. 6: metal wire. 7: glass-sealing terminal.
 1: metal case

Prevents EMI radiation from
 an adjacent chip

only metal foil over top

257/651

EMI

1x

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-237053

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月19日

H 01 L 23/06
21/60

3 0 1 C
3 1 1 A
R
R

6412-5F
6918-5F
6918-5F
7039-5E

H 05 K 9/00

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体チップの実装方法

⑯ 特 願 平1-56918

⑰ 出 願 平1(1989)3月9日

⑱ 発 明 者 谷 口 政 仁 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体チップの実装方法

2. 特許請求の範囲

半導体チップ(5)を実装した誘電体基板(3)を、金属ケース(1)に収容封止するよう構成した半導体装置において、

磁性損材料よりなる上部が開口した箱形の電波吸収体パッケージ(10)に、該半導体チップ(5)をマウントし、該電波吸収体パッケージ(10)を該誘電体基板(3)の凹部(20)に埋設した後に、

該半導体チップ(5)の電極に接続した、金属線(6)又はテープキャリアのリード(27)の端末を、該誘電体基板(3)の表面に形成した対応するパターン(8)にそれぞれボンディングし、

次に該電波吸収体パッケージ(10)の上部に、磁性損材料よりなる電波吸収体キャップ(15)を冠着することを特徴とする半導体チップの実装方法。

3. 発明の詳細な説明

(概要)

半導体チップの実装方法に関し、

半導体チップ相互の電磁氣的の干渉がなく、且つボンディング作業が容易な、半導体チップの実装方法を提供することを目的とし、

半導体チップを実装した誘電体基板を、金属ケースに収容封止するよう構成した半導体装置において、磁性損材料よりなる上部が開口した箱形の電波吸収体パッケージに、該半導体チップをマウントし、該電波吸収体パッケージを該誘電体基板の凹部に埋設した後に、該半導体チップの電極に接続した、金属線又はテープキャリアのリードの端末を、該誘電体基板の表面に形成した対応するパターンにそれぞれボンディングし、次に該電波吸収体パッケージの上部に、磁性損材料よりなる電波吸収体キャップを冠着する構成とする。

(産業上の利用分野)

本発明は、半導体チップの実装方法に関する。

近年は、誘電体基板に1個或いは複数の半導体チップを実装して、所望の回路を構成した半導体装置が広く使用されているが、回路の高周波化に伴い、信号の漏話防止、発振阻止等の処置を施すことが要求されている。

〔従来の技術〕

第3図は従来の半導体チップの実装方法を示す断面図であって、3は、表面に所望の回路（図示省略）とパターン8を膜形成した、例えばセラミックス等よりなる誘電体基板であって、裏面の全面にメタライズ層（図示省略）を形成してある。

それぞれの底面を誘電体基板3の表面に密着させて、複数の半導体チップ5を、誘電体基板3の表面の所望の位置に配置し、接着剤22を用いてマウントしてある。

そして、半導体チップ5の裏面に配列した電極と、誘電体基板3の裏面に配列した対応するパターン8とを、例えば金等の金属線6をボンディングして接続している。

〔発明が解決しようとする課題〕

しかしながら従来は、金属ケース内に複数の半導体チップを実装してあるので、半導体チップ相互の電磁氣的の干渉により、信号の漏話、或いは発振が発生する恐れがあった。

また、誘電体基板3の表面と、半導体チップ5の裏面に段差があるので、ボンディング作業が困難であるという問題点があった。

本発明はこのような点に鑑みて創作されたもので、半導体チップ相互の電磁氣的の干渉がなく、且つボンディング作業が容易な、半導体チップの実装方法を提供することを目的としている。

〔課題を解決するための手段〕

上記の目的を達成するために本発明は、第1図に例示したように、半導体チップ5を実装した誘電体基板3を、金属ケース1に収容封止した半導体装置において、磁性損材料よりなる上部が開口した箱形の電波吸収体パッケージ10に、半導体チップ5をマウントし、電波吸収体パッケージ10

一方、1は、膨張係数が誘電体基板3の膨張係数に近い金属、例えば鉄・コバルト・ニッケル合金よりなる、上部が開口した浅い箱形の金属ケースであって、金属ケース1の側壁には、半導体装置の入出力端子としてのガラス封止端子7を装着してある。

そして、誘電体基板3の裏面を金属ケース1の底面部材の内面に、導電性接着剤21で密着すること、誘電体基板3を金属ケース1内に収容固着した後に、ガラス封止端子7と入出力パターンとを半田接着、或いは金リボン接続等して接続している。

その後、金属ケースと同材料よりなる蓋2を、金属ケース1に装着して金属ケースの開口を塞いでいる。

上述のように、半導体チップ5を含めた誘電体基板3の表面に形成した高周波回路を、金属ケース1に封止することで、半導体装置外への電磁波の放射を防止するとともに、外部から電磁波が侵入して雑音が発生するのを阻止している。

を誘電体基板3に設けたテープキャリア20に埋設固着する。

その後、半導体チップ5の電極に接続した、金属線6（第1図参照）、又はテープキャリア25のリード27（第2図参照）の端末を、誘電体基板3の裏面に形成した対応するパターン8にそれぞれボンディングする。

次に電波吸収体パッケージ10の上部に、磁性損材料よりなる電波吸収体キャップ15を冠着するものとする。

〔作用〕

上述のように半導体チップ5を、電波吸収体パッケージ10内に収容してマウントし、電極とパターンとを接続後に、電波吸収体パッケージ10の開口側に、電波吸収体キャップ15を冠着している。

したがって、半導体チップ5は電磁氣的にシールドされ、隣接した半導体チップ相互間、或いは誘電体基板3に形成した他の回路との間で、電磁氣的に干渉することが殆どない。

また、電波吸収体パッケージ10を誘電体基板3の凹部20に埋設装着するようにしているので、誘電体基板3の表面と半導体チップ5の表面をほぼ同一平面にすることができる。さらに、半導体チップ5の上方が開口した状態で、金属線6、或いはテープキャリア25のリード27をバクーン8にボンディングしている。

したがって、ボンディング作業が容易である。

(実施例)

以下図を参照しながら、本発明を具体的に説明する。なお、全図を通じて同一符号は同一対象物を示す。

第1図は本発明の実施例の図で、(a)は断面図、(b)は要部を分離した形で示す斜視図、第2図は本発明の他の実施例の断面図である。

第1図において、表面に所望の回路(図示省略)とパターン8を膜形成した、例えばセラミックス等よりなる誘電体基板3には、裏面の全面にメタライズ層(図示省略)を形成してある。

また、電波吸収体パッケージ10の外形寸法は、凹部20にしっかりと挿入されるような寸法で、底面を接着剤23で凹部20の底面に密着した状態でパッケージ側壁11の上面が、誘電体基板3の表面よりわずかに低い高さである。

一方、電波吸収体パッケージ10の上部の4隅には、角形の間隔柱12が上方に突出するように設けられている。

15は、磁性損材料、例えばフェライトよりなる下部が開口した浅い箱形の電波吸収体キャップ15である。電波吸収体キャップ15の基板部材の内面を、間隔柱12の上端面に当接し接着することで、電波吸収体キャップ15を電波吸収体パッケージ10に冠着するようになっている。

なお、電波吸収体キャップ15を電波吸収体パッケージ10に冠着した状態で、パッケージ側壁11の上面と、電波吸収体キャップ15の枠部材の下面との間には、金属線6を配線する間隙があるものとする。

上述のように構成した電波吸収体パッケージ10

そして誘電体基板3には、半導体チップ5を配置すべき所望の位置に、半導体チップ5の平面視形状、及び高さよりもそれぞれ所望に大きい、平面視形状、深さの角形の凹部20を設けてある。

側壁に半導体装置の入出力端子としてのガラス封止端子7を装着した、上部が開口した浅い箱形の金属ケース1に誘電体基板3を收容し、誘電体基板3の裏面を導電性接着剤21を用いて金属ケース1の底板部材の内面に固着してある。

また、ガラス封止端子7と誘電体基板3の入出力パターンとを半田接着、或いは金リボン接続等して接続している。

10は、磁性損材料、例えばフェライトよりなる上部が開口した箱形の電波吸収体パッケージであって、半導体チップ5がしっかりと挿入されるような凹部を有し、その凹部は、半導体チップ5の底面を接着剤22で底部材の内面に密着しマウントした状態で、半導体チップ5の表面がパッケージ側壁11の上面よりわずかに突出するような深さである。

に、半導体チップ5をマウントした後に、電波吸収体パッケージ10を誘電体基板3の凹部20に嵌入し、接着剤23を用いて電波吸収体パッケージ10を、凹部20内に固着する。

そして、半導体チップ5の電極と、誘電体基板3の表面に形成した対応するバクーン8の端末とを、金属線6をボンディングツールを用いて、ワイヤボンディングして接続する。

次に、電波吸収体キャップ15を電波吸収体パッケージ10の4本の間隔柱12の上部に嵌め込み、接着剤等で固着して電波吸収体キャップ15を冠着する。

そしてさらに、金属ケース1の開口に、蓋2を取付けて半導体チップ5を含めた誘電体基板3の全体をシールドする。

第2図において、25は、中央部に角形のチップ用ホールを有する枠形の、例えばポリイミド系樹脂よりなる樹脂テープ26と、樹脂テープ26のそれぞれの辺に所望に配設されたリード27とよりなるテープキャリアである。

傾斜よりなる細長い短円形のリード27は、体形の樹脂テープ26のそれぞれの各辺に直交する如くに並列し、その先端がチップ用ホール内に突出することにより、半導体チップ5の対応する電極にボンディングするように構成してある。またさらに、リード27の他方の端部を樹脂テープ26の外に突出させて、誘電体基板3のパターン8にボンディングするように構成してある。

テープキャリア25のチップ用ホール内に半導体チップ5を挿入し、リード27を対応する電極にボンディングすることで、半導体チップ5をフェースアップにテープキャリア25に搭載し、電波吸収体パッケージ10に、半導体チップ5をマウントした後、電波吸収体パッケージ10を誘電体基板3の凹部20に嵌入し、接着剤23を用いて電波吸収体パッケージ10を、凹部20内に固着する。

そして、テープキャリア25のそれぞれのリード27の端部を、誘電体基板3の表面に形成した対応するパターン8の端部に重畳させ、ボンディングツールを用いて、リード27とパターン8とを接続

する。

次に、電波吸収体キャップ15を電波吸収体パッケージ10の4本の間隔柱12の上部に嵌め込み、接着剤等で固着して電波吸収体キャップ15を冠着する。

また、金属ケース1の開口に、蓋2を取付けて半導体チップ5を含めた誘電体基板3の全体をシールドする。

上述のような半導体チップの実装方法であるので、誘電体基板3の表面と半導体チップ5の表面をほぼ同一平面にすることができる。さらに、半導体チップ5の上方が開口した状態で、金属線6、或いはテープキャリア25のリード27をパターン8にボンディングしている。即ち、ボンディング作業が極めて容易である。

またそれぞれの半導体チップ5は電磁氣的にシールドされ、隣接した半導体チップ相互間、或いは誘電体基板3に形成した他の回路との間で、電磁氣的に干渉することが殆どない。

(発明の効果)

以上説明したように本発明は、誘電体基板3に凹部を設け、この凹部内に電波吸収体で所望にパッケージした半導体チップを埋め込むように実装するという、半導体チップの実装方法であって、半導体チップ相互の電磁氣的の干渉がなく、信号の漏洩、発振現象がなく、さらに半導体装置外へ電磁波が放射されることもなく、且つボンディング作業が容易である等、実用上で優れた効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例の図で、

(a)は断面図、

(b)は要部を分離した形で示す斜視図、

第2図は本発明の他の実施例の断面図、

第3図は従来例の断面図である。

図において、

1は金属ケース、

2は蓋、

3は誘電体基板、

5は半導体チップ、

6は金属線、

7はガラス封止端子、

8はパターン、

10は電波吸収体パッケージ、

11はパッケージ側壁、

12は間隔柱、

15は電波吸収体キャップ、

20は凹部、

21は導電性接着剤、

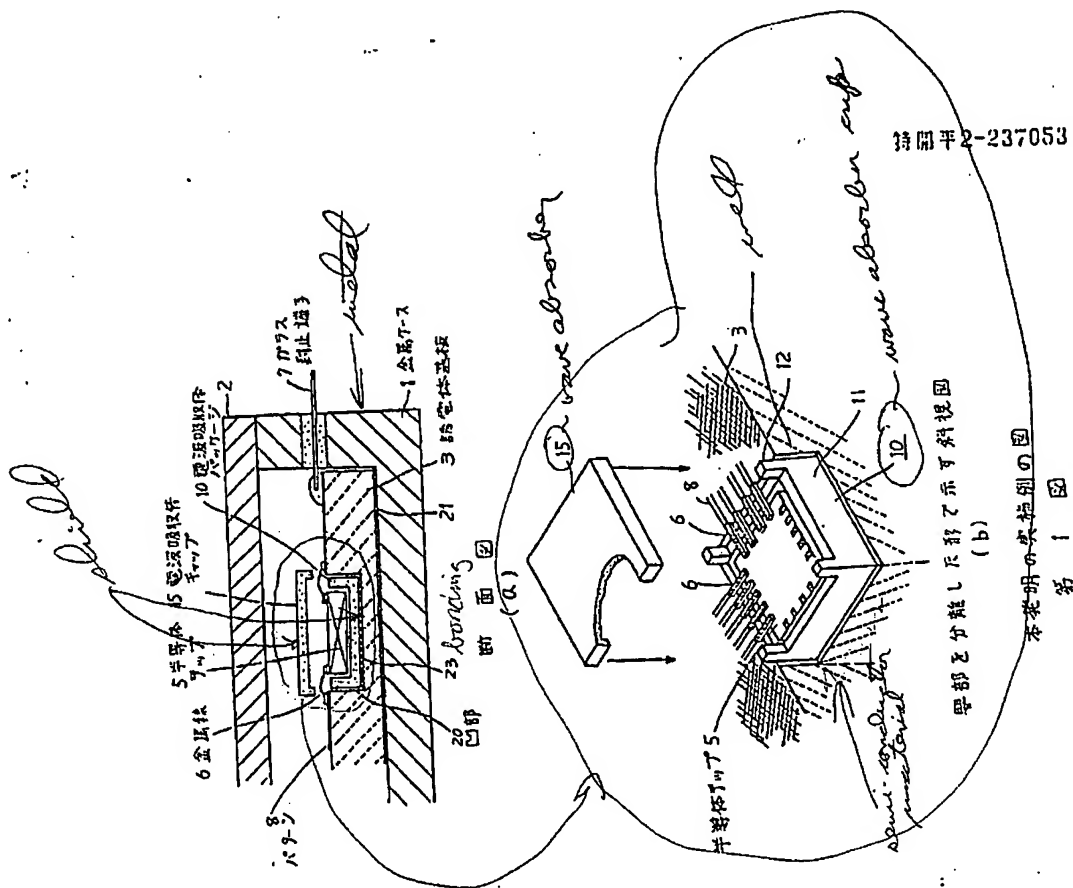
25はテープキャリア、

26は樹脂テープ、

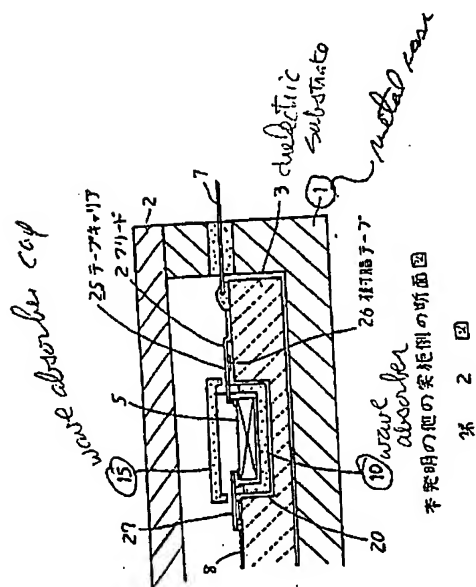
27はリードをそれぞれ示す。

代理人 弁理士 井 術 貞一





第三圖 從采創の断面圖



張 2 回